



PCI Express Market Environment & Development Tools

株式会社東陽テクニカ
I/O アクセス解析ソリューション部
2004年3月9日





今日のセミナー内容

- PCIExpress
- PCIExpress Market Trend
- PCIExpress Development Tools

PCIExpress

- PCI Bus, PCI-X Bus の置き換え
- 現状のPCI Bus の抱える諸問題を解決
 - パラレルデータ転送における速度の限界
 - 高速な動作周波数を有していても、もっとも低速なPCI Bus Board の速度に設定
 - 動作周波数の向上とともに拡張スロット数の減少
 - 拡張スロットが1スロットのみの場合もある

PCIExpress

- PCI Bus の転送速度と動作周波数
 - PCI Bus : 32bit width parallel bus, Operation Frequency 33MHz(max.)
 - PCI Bus Ver2.1: 64bit width parallel bus, Operation Frequency 66MHz(max.)
 - PCI-X : Operation Frequency 133MHz(max.), 533MHz(max.)

PCIExpress

- 差動伝送によるSerial Link
- 最大データ転送速度: 2.5Gbit/sec.
- 差動伝送のチャンネル(Link)を増やすことで性能向上に対応
 - データ転送速度を上げるために差動信号のペアを増やす
 - 物理的な伝送技術はLVDS(Low Voltage Differential Signaling; 小信号振幅差動平衡伝送技術)によるHigh Speed Serial Link

PCIExpress

- 送信と受信の差動信号ペアで構成される最小単位を「Lane」
- 1, 2, 4, 8, 16 & 32 Lane が仕様書で定義
- 1 Lane = 2.5Gbps(approx. 312.5MBps) : データ転送速度
- 1 Lane = 1.6Gbps(approx. 200MBps) : 実行転送速度
- 符号化処理等のオーバーヘッドによる公称値と実行値の違い

PCIExpress Market Trend

- 工業界での採用が急速に進む
- 2003年12月のCompliance Test では大手メーカーがテストに参加
 - Chipsets: Intel, ATI, nVidia
 - Motherboards: Dell, Intel, HPQ
 - PC Accessories: Ample Communication, Philips
 - IP: IBM, Genesys, GDA, Marvell, Mentor/Altera, Synopsys, Xilinx

PCIExpress Market Trend

- T&M: CATC, Vmetro, Agilent, Lecroy, Tektronix, etc.
- Other: Broadcom, Emulex, NEC, QLogic, TI
- PCIExpress Developers Network の会員は増え続けています。
 - <http://www.intel.com/technology/pciexpress/devnet/>

PCIExpress Market Trend

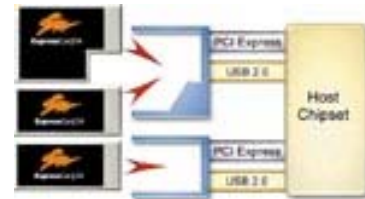
- 2004年中旬にServer & Desktop 出荷予定
- 2H2004にNotebook PC
- Graphics Vendors & LAN card の PCIExpress版Add-in Cardの開発進行予定
- 2004年後半にはExpressCard Solution
- 2004年後半にはStorage Bridge solution
- 2004年後半にはAdvanced Switching(AS)のプロトタイプ

Advanced Switching(AS)

- PCIExpress の拡張規格
- 通信機器市場における組み込みシステム用
 - ダイナミック・ルーティング処理
 - 複数プロトコル実装
 - 高可用性アプリケーション
- Pier-to-Pier
- マルチキャスト転送モードをサポート
 - <http://www.xilinx.com/systemio/as/index.htm>

ExpressCard

- PCIExpress と互換性のあるPC Card module
- PCMCIA が規格を発表
- <http://www.pcmcia.org>



Market Trend

- NECエレクトロニクス
- PCIExpress Bridge IC & Switch IC

– NECエレクトロニクスはこのたび、パソコン・サーバなどの次世代インタフェース規格であるPCI Express™ 対応のASSP(Application Specific Standard Product: 特定用途向け標準製品)として、PCI Express™とPCI-X™の両方のインタフェースを持つブリッジICと、PCI Express™の中継の役割をするスイッチICの2品種を業界で初めて製品化いたしました。ブリッジIC・スイッチIC共にサンプル出荷を2003年度中に開始し、量産を2004年度第1四半期に開始する予定です。

– <http://www.necel.com/ja/news/archive/0309/1601.html>



Market Trend

- テキサスインスツルメンツ

- TI、業界初のPCI ExpressアーキテクチャPHY (物理層) を発表

- ~ 2004年IDF SpringのTIブースにて

- 「PCI Express 1.0a」デバイスのデモンストレーションを公開 ~

- http://www.tij.co.jp/news/sc/2004/scj_04_013.htm

PCIExpress Development Tools

- CATC; Computer Access Technology Corp.
- Serial Bus Protocol Analyzer's Expert
 - USB2.0, IEEE1394, Bluetooth v1.1 & 1.2
 - InfiniBand x1 & x4, Fibre Channel 1/2Gbps
 - Serial ATA 1.5/3.0Gbps
 - Serial Attached SCSI 1.5/3.0Gbps



PCIExpress Protocol Analyzer



- PETracer x1
- UPAS2500H
- PCIExpress x1 slot interposer
- USB2.0 HS upload
- 512MB(max.) recording buffer
- External Breakout board

PETracer ML

- UPAS10000
- x1, x2, x4 bi-directional, x8 uni-directional
- Two PETracer ML for full bi-directional x8 link speed
- 1GB(max.) recording buffer

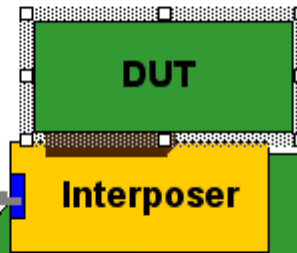


Slot Interposer Setup

**Windows PC
(Host Computer)**



CATC PETracer ML



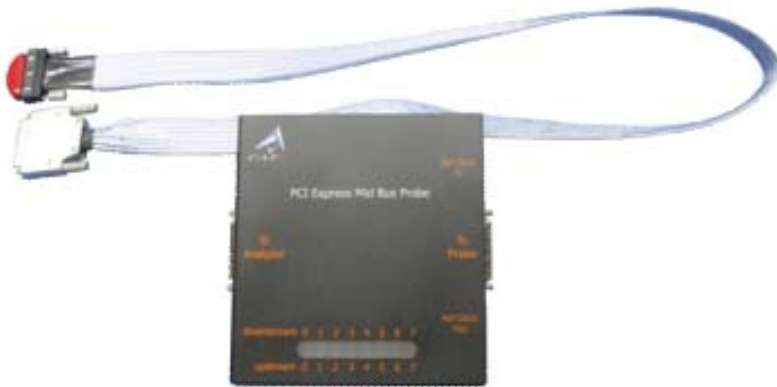
Base Platform

PCI Express Connector



Mid-Bus Probe

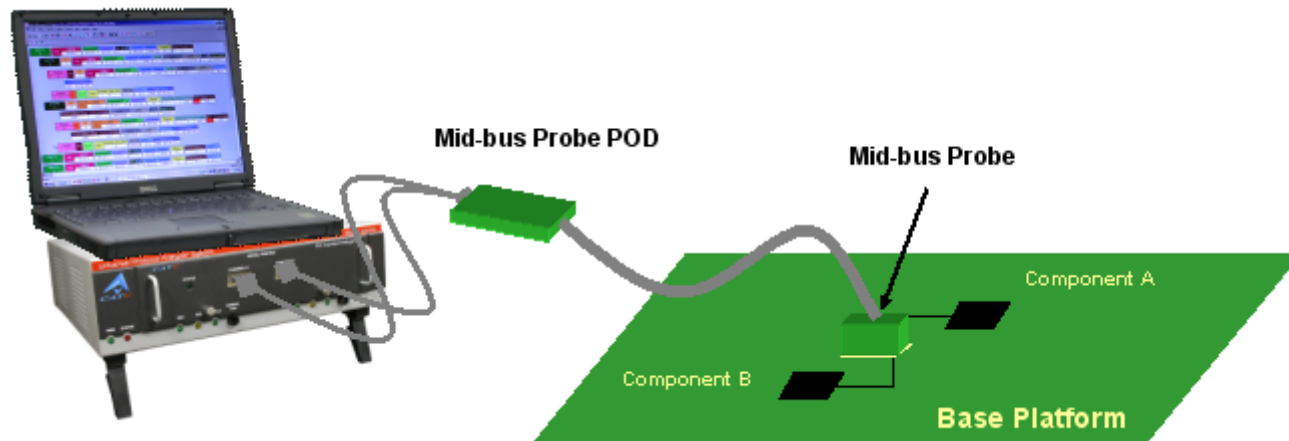
- Support x1, x4, x8 Lane widths



Mid-bus probe Setup

- **Mid-bus Probe**

- Standardized probe footprint incorporated in PCI Express design (chip-to-chip, chip-to-slot)
- Cleanest implementation for non-intrusive probing
- Design needs to incorporate mid-bus probe footprint

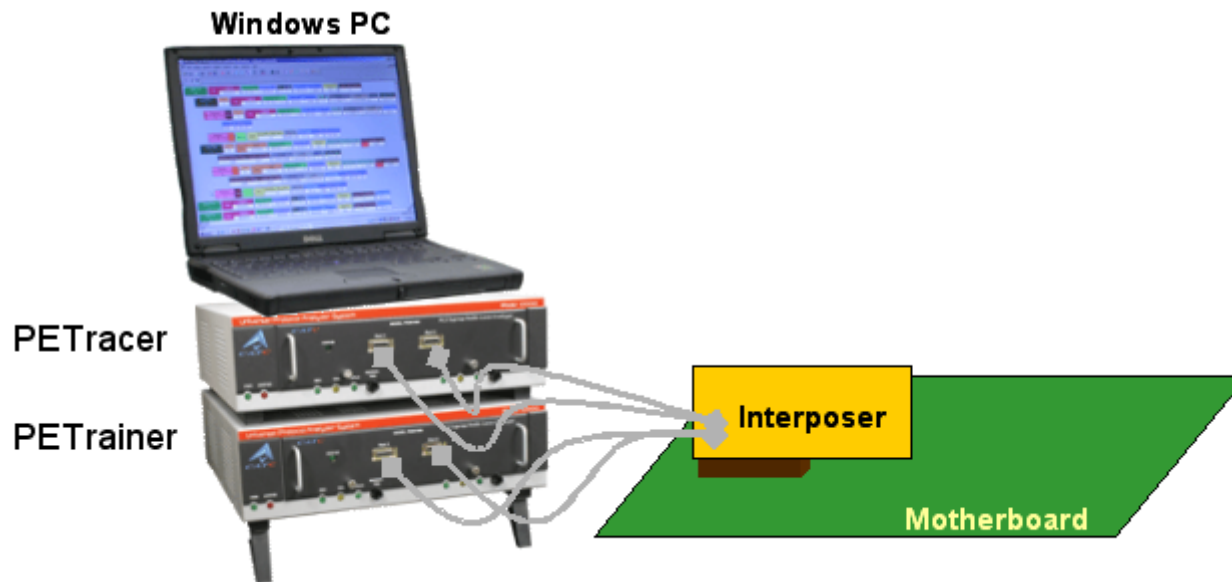


PETrainer Exerciser

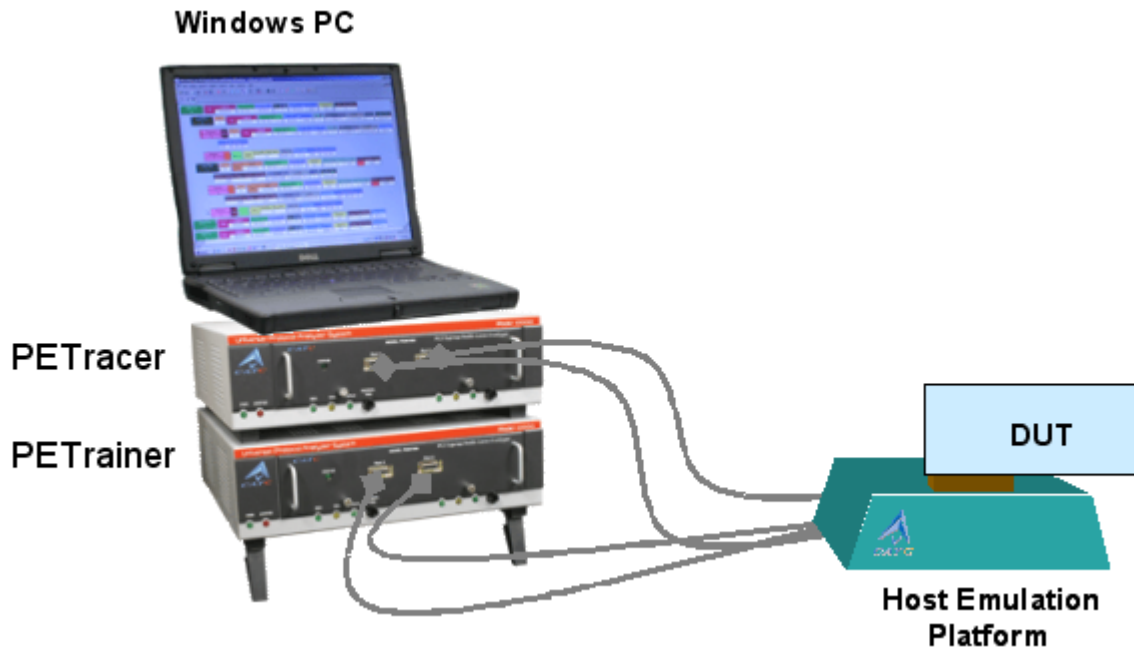
- UPAS10000 platform base
- x1 & x4 lane widths
- Traffic source file size : 2GB(max.)
- Exerciser mode & User Interface
 - Script level traffic generation
 - Manual Error Injection
 - Stress Testing
- Programmable Physical Layer
- Programmable Data Link Layer
- 解析機能(制限付)



PETrainer Endpoint

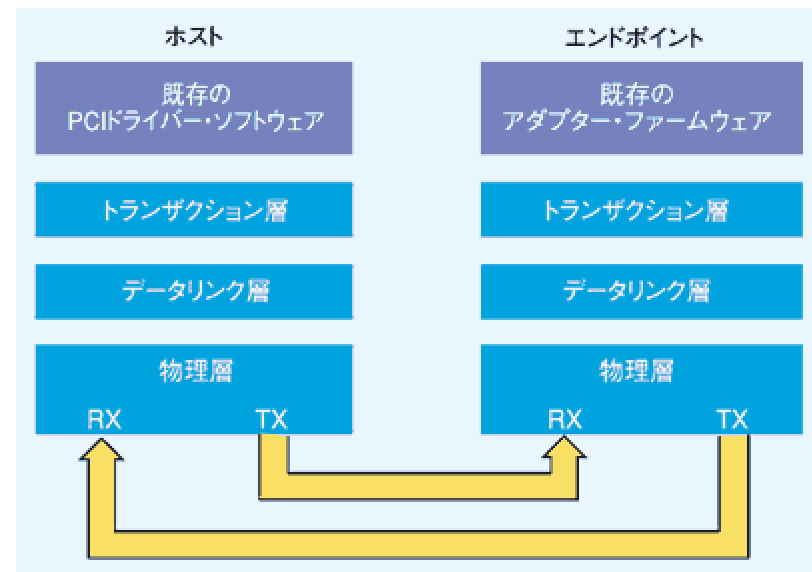


PETrainer Host Emulation



PCIExpress Protocol Layer

- 3つの階層で構成
 - Transaction Layer
 - Link Layer
 - Physical Layer



CATC Trace; Transaction Layer

Split Tra	Cfg	CfgRd1	RequesterID	
0		00:00101	001:02:3	
CompleterID	TC	VC ID	DeviceID	Register
004:05:6	0	0	004:05:6	0x00C
Status	Bytes Transferred	Time Delta		
SC	4	272.000 ns		
Split Tra	Cfg	CfgRd1	RequesterID	
1		00:00101	001:02:3	
CompleterID	TC	VC ID	DeviceID	Register
004:05:6	0	0	004:05:6	0x034
Status	Bytes Transferred	Time Delta		
SC	4	272.000 ns		

CATC Trace; Link Layer

Split Tra	Cfg	CfgRd1	RequesterID	CompleterID	TC	VC ID
0		00:00101	001:02:3	004:05:6	0	0

DeviceID	Register	Status	Bytes Transferred
004:05:6	0x00C	SC	4

Link Tra	R→	TLP	Cfg	CfgRd1	RequesterID	Tag
0		13		00:00101	001:02:3	15

DeviceID	Register	1st BE	ECRC	VC ID	Explicit ACK
004:05:6	0x00C	1111	0xC2B82FD1	0	Packet #1

Time Delta
128.000 ns

Link Tra	R←	TLP	Cpl	CplID	RequesterID	Tag
1		23		10:01010	001:02:3	15

CompleterID	Status	BCM	Byte Cnt	Lwr Addr	BIST	Header Type
004:05:6	SC	0	4	0x00	0x00	0x01

Master Latency Timer	Cache Line Size	ECRC	VC ID	Explicit ACK
0x00	0xFF	0x8E9A96A1	0	Packet #3

Time Delta
144.000 ns

CATC Trace; Packet

Split Tra	Cfg	CfgRd1	RequesterID	CompleterID	TC	VC ID	DeviceID	Register	Status
0		00:00101	001:02:3	004:05:6	0	0	004:05:6	0x00C	SC
Bytes Transferred									
4									
Link Tra	R→	TLP	Cfg	CfgRd1	RequesterID	Tag	DeviceID	Register	1st BE
0		13		00:00101	001:02:3	15	004:05:6	0x00C	1111
ECRC		VC ID	Explicit ACK						
0xC2B82FD1		0	Packet #1						
Packet	R→	TLP	Cfg	CfgRd1	RequesterID	Tag	DeviceID	Register	1st BE
0		13		00:00101	001:02:3	15	004:05:6	0x00C	1111
ECRC		LCRC	Time Delta	Time Stamp					
0xC2B82FD1		0xE70FE3F9	96.000 ns	0000 . 000 000 000 s					
Packet	R←	DLLP	ACK	AckNak_Seq_Num	CRC 16	Time Delta	Time Stamp		
1				13	0x9ECA	32.000 ns	0000 . 000 000 096 s		
Link Tra	R←	TLP	Cpl	CplID	RequesterID	Tag	CompleterID	Status	BCM
1		23		10:01010	001:02:3	15	004:05:6	SC	0
This message was sent in the upstream direction of the PCI Express link (towards root complex)									
Byte Cnt	0x00	0x00	0x01	0x00	0xFF	ECRC		VC ID	
4						0x8E9A96A1		0	
Explicit ACK									
Packet #3									

CATC Trace; x4 Link Training

Packet 1	R←	Link Up	Time Delta	Time Stamp				
			440.000 ns	0000 . 129 472 104 s				
Packet 2	R→	SKEW	A	B	C	D	Idle	Time Stamp
			0	0	0	0	0.000 ns	0000 . 129 472 544 s
Packet 3	R→	TS1	COM	Link	Lane	N_FTS	Training Control	
			K28.5	PAD	PAD	0	0 0 0 0	
				PAD	PAD	0	0 0 0 0	
				PAD	PAD	0	0 0 0 0	
				PAD	PAD	0	0 0 0 0	
TS1							Idle	
D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2							0.000 ns	
D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2								
D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2								
D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2 D10.2								
Time Stamp								
								0000 . 129 472 544 s



参考資料

- PCI Express System Architecture
- EDN.com Japan, “PCI Express がシステムを一気に強化”



お問合せ先

- 株式会社東陽テクニカ
 - I/O アクセス解析ソリューション部
 - Tel : 03-3279-0771 内線2494
 - Email : pdtosal@toyo.co.jp
- 
- 